

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-152574

(43)Date of publication of application : 10.06.1997

(51)Int.Cl. G02F 1/133
G02F 1/133
G09G 3/36

(21)Application number : 07-336054

(71)Applicant : SEMICONDUCTOR ENERGY LAB
CO LTD

(22)Date of filing : 29.11.1995

(72)Inventor : KOYAMA JUN
YAMAZAKI SHUNPEI

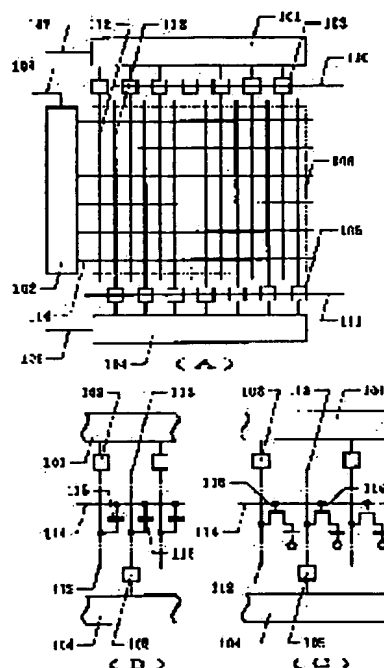
(54) DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a circuit arrangement system suitable for high density of a pixel, an interlacement display and a line inversion/dot inversion display by constituting so that a column signal line adjacent to one optional column signal line supplied with a signal from a first column driving circuit is supplied with signal from the column driving circuit excepting the first one.

SOLUTION: The first, second column driving circuits 101, 104 are provided for driving a matrix. Respective column driving circuits 101, 104 are connected to column signal lines 112, 113 through output circuits 103, 105 corresponding to respective signal lines.

Further, a row signal line 114 is supplied with the signal by a row driving circuit 102. Then, e.g. in the case of a simple matrix system, pixels 115, 116 are formed by intersection between the row signal line 114 and the column signal lines 112, 113. At this time, though the signal is supplied to the column signal line 112 by the first column driving circuit 101, the signal is supplied to the adjacent column signal line 113 by the second driving circuit 104.



LEGAL STATUS

[Date of request for examination]

29.11.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-152574

(43)公開日 平成9年(1997)6月10日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/133	5 5 0		G 0 2 F 1/133	5 5 0
	5 4 5			5 4 5
G 0 9 G 3/36			G 0 9 G 3/36	

審査請求 未請求 請求項の数13 F D (全 12 頁)

(21)出願番号 特願平7-336054

(22)出願日 平成7年(1995)11月29日

(71)出願人 000153878

株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(72)発明者 小山 潤

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72)発明者 山崎 舜平

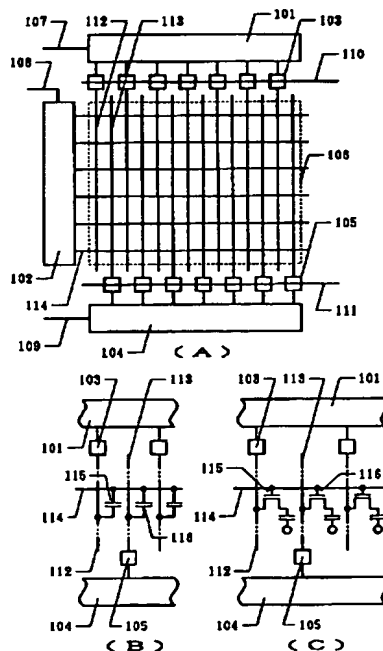
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(54)【発明の名称】 表示装置

(57)【要約】

【目的】 画素がマトリクス状に配置された単純マトリクスもしくはアクティブマトリクス型の表示装置において、画素の高密度化やインターレース表示やライン反転・ドット反転表示（液晶表示装置の場合）に適した回路配置方式を提供する。

【構成】 行および／または列の周辺駆動回路を2つ以上に分割し、それらを並列に配置することにより、実質的な行／列あたりの周辺駆動回路の専有幅を減少させることにより、高密度な画素に対応できるようにする。さらに、かく配置することにより、インターレース表示やライン反転・ドット反転表示を簡便におこなうことができる。さらに、回路を並列化することにより、回路の駆動周波数を低減できる。



【特許請求の範囲】

【請求項1】 複数の画素がマトリクス状に配置された表示装置において、

該マトリクスを構成する行に信号を供給する行駆動回路が、該マトリクスと同じ基板上の少なくとも2か所に設けられ、

かつ、該行駆動回路は、並列に配置されており、該行駆動回路のうちの第1の行駆動回路より信号を供給される任意の一つの行信号線に隣接する行信号線は、前記第1の行駆動回路ではない、行駆動回路より信号が供給されることを特徴とする表示装置。

【請求項2】 請求項1において、行駆動回路の1つはマトリクスの左に、他の1つはマトリクスの右に設けられていることを特徴とする表示装置。

【請求項3】 請求項1において、行駆動回路のいずれもが、マトリクスの左もしくは右のいずれか一方に設けられていることを特徴とする表示装置。

【請求項4】 複数の画素がマトリクス状に配置された表示装置において、

該マトリクスを構成する列に信号を供給する列駆動回路が、該マトリクスと同じ基板上の少なくとも2か所に設けられ、

かつ、該列駆動回路は、並列に配置されており、該列駆動回路のうちの第1の列駆動回路より信号を供給される任意の一つの列信号線に隣接する列信号線は、前記第1の列駆動回路ではない、列駆動回路より信号が供給されることを特徴とする表示装置。

【請求項5】 請求項1において、列駆動回路の1つはマトリクスの上に、他の1つはマトリクスの下に設けられていることを特徴とする表示装置。

【請求項6】 請求項1において、列駆動回路のいずれもが、マトリクスの上もしくは下のいずれか一方に設けられていることを特徴とする表示装置。

【請求項7】 行駆動回路もしくは列駆動回路の少なくとも一方が、シフトレジスタ回路をアドレス回路として用いる方式により構成されていることを特徴とする請求項1もしくは請求項4の表示装置。

【請求項8】 行駆動回路もしくは列駆動回路の少なくとも一方が、デコーダ回路をアドレス回路として用いる方式により構成されていることを特徴とする請求項1もしくは請求項4の表示装置。

【請求項9】 第1の行駆動回路もしくは列駆動回路の最終段より出力された選択信号が、第2の行駆動回路の初段に入力される構成を有する請求項7の表示装置。

【請求項10】 少なくとも2つの行駆動回路もしくは列駆動回路が同じカウンタ回路により制御される構成を有する請求項8の表示装置。

【請求項11】 任意の列信号線に隣接する少なくとも1つの列信号線には、当該信号線に信号が供給されるのと実質的に同時に信号が供給される構成を有する請求項

4の表示装置。

【請求項12】 マトリクスが単純マトリクスであることを特徴とする請求項1もしくは請求項4の表示装置。

【請求項13】 マトリクスがアクティブマトリクスであることを特徴とする請求項1もしくは請求項4の表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、表示装置、特に、その駆動回路に関する。本発明は、単純マトリクスもしくはアクティブマトリクス型の駆動方式に利用される。また、本発明は、液晶やエレクトロ・ルミネッセンス現象等の電気信号によって、光透過率や光反射率、屈折率、発光量等が変動する物理現象を用いて表示をおこなう表示装置に利用される。本発明は陰極線管（CRT）以外の方式のフラットパネル型表示装置に利用される。

【0002】

【従来の技術】複数の画素をマトリクス状に配置したマトリクス型表示装置は、大容量の表示方法として、特にフラットパネル表示装置に採用されている。このような表示装置においては、マトリクスに構成される画素を単に行と列の間の重なりのみで表現する単純マトリクス型と、各画素にトランジスタやダイオードのような能動素子を設けたアクティブマトリクス型という2つの方式が知られている。以下の記述においては、列信号線とは、映像信号を有する信号が伝播する信号線を、また、行信号線とは、映像信号を有しない信号が伝播する信号線を意味するものと定義する。

【0003】いずれの方法も、マトリクスの行信号線と列信号線に信号を供給するために、アドレス回路を有する周辺駆動回路を、マトリクスの周辺に配置した構造となっている。これらは、それぞれ、行駆動回路、列駆動回路と称される。アクティブマトリクス型表示装置において、このようなアドレス回路として、シフトレジスタを用いた方式は、例えば、特開昭57-41078公報に開示されており、また、アドレス回路として、ANDゲートやNANDゲートを用いたデコーダ回路を用いた方式は、例えば、特開昭62-265696公報に開示されている。

【0004】従来、このような周辺駆動回路は公知の半導体集積回路上に形成され、TAB法等のボンディング法により、ガラス基板上のマトリクスと接続される方式が採用されていたが、マトリクスの大容量化やマトリクス面積の縮小化にともない、行信号線や列信号線の間隔が縮小すると、周辺駆動回路をも、マトリクスと同じ基板上に形成すること（モノリシック化）が求められるようになった。例えば、TAB法は機械的な圧着方式であるので、配線を100μm以下の間隔で接続することは困難であった。これに対し、マトリクスと同じ基板上に周辺駆動回路を形成する方式では、フォトリソグラフィ

一法が採用できるので、理想的にはデザインルールと同程度まで配線間隔を縮小できることが可能である。

【0005】

【発明が解決しようとする課題】しかし、近年、画素面積が小さくなるにつれ、回路配置上の問題点が指摘されるようになった。すなわち、モノリシックに周辺駆動回路を形成したとしても、各信号線に信号を供給する回路の幅は、信号線の間隔以下におさめる必要があった。例えば、周辺回路のシフトレジスタの各段は、10個程度のトランジスタにより構成されているので、これらが、各信号線の幅に収まるように回路配置する必要があった。例えば、5 μ mのデザインルールで回路を設計する場合には、信号線の幅は30 μ mが限度であった。そのため、画素の面積も30 μ m \times 30 μ m以上となった。

【0006】また、行信号線の駆動に関しては、従来の方式では、マトリクスの上から下（または下から上）に順次駆動する方式が採用されていたため、通常の映像表示のように1行おきに走査する、いわゆるインターレース表示ができず、高速の運動をする映像を表示する点で不利であった。また、通常のビデオ信号（インターレース方式）を非インターレース方式に変換する必要があった。また、液晶を用いた表示装置においては、隣接する画素の蓄積電荷により、当該画素の蓄積電荷（すなわち映像情報）に対する干渉を抑制する意味で、ライン反転表示やドット反転表示が採用されているが、そのためには、映像情報を変換する作業が必要とされていた。

【0007】また、マトリクスが大容量化するにしたがい、動作速度も高速化した。例えば、VGA規格（640 \times 480ドット）の場合には、9MHzの速度であるが、EWS規格では、30MHz以上となる。モノリシックに形成される周辺駆動回路は多結晶シリコンのように、単結晶シリコンより劣る半導体材料を用いて形成されるため、動作速度が高速化することは好ましいことではなかった。本発明は上記問題点の少なくとも1つを解決することを課題とする。

【0008】

【課題を解決するための手段】上述の問題点を解決するために、本発明の第1は、マトリクスを構成する行に信号を供給する行駆動回路が少なくとも2か所に設けられ、かつ、該行駆動回路は、並列に配置されており、該行駆動回路のうちの第1の行駆動回路より信号を供給される任意の一つの行信号線に隣接する行信号線は、前記第1の行駆動回路ではない、行駆動回路より信号が供給される構成を有する。

【0009】また、本発明の第2は、マトリクスを構成する列に信号を供給する列駆動回路が少なくとも2か所に設けられ、かつ、該列駆動回路は、並列に配置されており、該列駆動回路のうちの第1の列駆動回路より信号を供給される任意の一つの列信号線に隣接する列信号線は、前記第1の列駆動回路ではない、列駆動回路より信

号が供給される構成を有する。

【0010】本発明の第1においては、行駆動回路はマトリクスを挟んだ両端、すなわち、その1つはマトリクスの左に、他の1つはマトリクスの右に設けられるという構成をとってもよいし、いずれもが、マトリクスの左もしくは右のいずれか一方に設けられるという構成をとってもよい。本発明の第2においても、列駆動回路はマトリクスを挟んだ両端、すなわち、その1つはマトリクスの上に、他の1つはマトリクスの下に設けられるという構成をとってもよいし、いずれもが、マトリクスの上もしくは下のいずれか一方に設けられるという構成をとってもよい。

【0011】さらに、本発明の行駆動回路もしくは列駆動回路は、いずれもがシフトレジスタ回路をアドレス回路として用いてもよいし、デコーダ回路をアドレス回路として用いてもよいし、いずれか一方のみがシフトレジスタ回路をアドレス回路として、あるいは、デコーダ回路をアドレス回路として用いてもよい。本発明の第1もしくは第2において、アドレス回路としてシフトレジスタを用いた駆動回路を2か所以上に分離して設ける場合、第1の駆動回路の最終段より出力された選択信号が、第2の駆動回路の初段に入力される構成を有せしめてもよい。

【0012】本発明の第1もしくは第2において、アドレス回路としてデコーダ回路を用いた駆動回路を2か所以上に分離して設ける場合、これらのデコーダ回路は同じカウンタ回路により制御される構成を有せしめてもよい。また、本発明の第2において、複数の列信号線を異なる列駆動回路を用いて同時に駆動する構成を有せしめてもよい。

【0013】

【作用】本発明の第1および/または第2によって、1つの信号線あたり（1段あたりの）の駆動回路の専有幅（実質的な専有幅）を縮小することができる。例えば、列駆動回路について、駆動回路を2か所に設けると、各駆動回路から延びる列信号線の数は、それまでの半分とすることができる。すなわち、信号線の幅が変わらないものとすれば、それまでの2倍の列信号線を配置することができる。すなわち、同じ面積で2倍の画素を配置することができる。

【0014】より具体的に述べると、これまで、列駆動回路の全体の幅（長さ）が19.2mmで、列信号線が640本あったとすると、1つの列信号線あたりの間隔は30 μ mであり、これが、1段あたり許容される専有幅である。ところが、本発明の第2により、2か所に列駆動回路を設けると、専有幅をそのままに、さらに、640本の列信号線を追加することができる。合計、1280本の列信号線が設けられるので、1つの列信号線あたりの専有幅は15 μ mと計算される。もちろん、1つの列駆動回路から延びる各信号線の間隔は30 μ mのま

まであるので、 $15\mu\text{m}$ という数字は実質的な専有幅という意味しかない。しかし、いずれにせよ、マトリクス規模を大きくすることができる。

【0015】また、列駆動回路の全体の幅を半分とすると、1つの列駆動回路より320本の列信号線しか接続できないが、列駆動回路は2つあるので、列信号線の数自体は変わらず、結果的に画素の微細化、集積化となる。列駆動回路を3つ、4つとすれば、マトリクスの規模は3倍、4倍と拡大あるいは集積化できる。以上の議論は行信号線、行駆動回路についても同様である。

【0016】さらに、本発明を利用すれば、1行おきに走査（インターレース走査）することも可能である。そのためには、アドレス回路としてシフトレジスタを用いた駆動回路を用いる場合には、第1の駆動回路の最終段より出力された選択信号が、第2の駆動回路の初段に入力されるようにすればよいし、アドレス回路としてデコーダ回路を用いた駆動回路を用いる場合には、デコーダ回路は同じカウンタ回路により制御されるようにすればよい。

【0017】同様に2行おき、3行おきという走査も、列駆動回路を3個、4個と設け、これらを連携して駆動させることによって可能である。逆に、複数の列駆動回路を実質的に同時（すなわち、回路の配線長の差等に基づく非意図的な信号の遅延以外には、信号の遅延がないこと）に駆動することにより、複数の列信号線に同時に映像信号を供給することができ、よって、列駆動回路の動作周波数を低減させることが可能である。例えば、VGA規格において、列駆動回路を4つ設け、これらを同時に駆動すると、1つの列駆動回路に接続する列信号線

の数は160本であり、1つの列駆動回路の動作周波数は、 $1/4$ の2.3MHzである。

【0018】さらに、本発明の第2において、隣接する列信号線が、当該信号線とは別の列駆動回路によって駆動される構成とすることにより同じ画面において、第1の列駆動回路からは正の映像信号を、第2の列駆動回路からは負の映像信号を、それぞれ供給することにより、隣接する列の間で、映像信号の極性の異なるライン反転が可能である。ドット反転も同様に可能である。以下に実施例を示し、より詳細に本発明を記述する。

【0019】

【実施例】

【実施例1】 図1に本発明の1実施例を示す。図1(A)は本実施例のブロック図を示す。本実施例は、簡略化のため、6行14列のマトリクス(106)としたが、より大規模なマトリクスでも同様である。該マトリクスを駆動するために、第1の列駆動回路(101)と第2の列駆動回路(104)が設けられる。本実施例では、第1の列駆動回路をマトリクスの上に、第2の列駆動回路をマトリクスの下に形成した。各列駆動回路は、各信号線に対応した出力回路(103)、(105)を

経て、列信号線(112)、(113)に接続される構成となっている。また、行信号線(114)は行駆動回路(102)によって、信号が供給される。

【0020】列駆動回路(101)、(104)には、ビデオ信号がビデオ信号線(107)と(109)によって、それぞれ供給され、また、行駆動回路(102)にはクロック信号がクロック信号線(108)によって供給される。図示されていないが、同様なクロック信号は、列駆動回路(101)と(104)にも供給される。また、出力回路(103)、(105)は行信号線のクロック信号と同期したラッチパルス信号によって駆動される。ラッチパルスはラッチ信号線(110)、(111)によって、出力回路に供給される。(図1(A))

【0021】1つの行とその周辺の列に着目した図面を図1(B)もしくは図1(C)に示す。図1(B)は単純マトリクス方式の場合であり、行信号線(114)と列信号線(112)、(113)の交差により、画素(115)、(116)が形成される。ここで、列信号線(112)は第1の列駆動回路(101)によって、信号が供給されるものの、隣接する列信号線(113)には、第2の列駆動回路(104)によって信号が供給される。(図1(B))図1(C)は能動素子としてトランジスタを用いたアクティブマトリクス方式のもので、列信号線と列駆動回路の関係は、図1(B)と全く同じである。ただし、画素(115)、(116)はトランジスタと静電容量の複合した回路によって構成される。(図1(C))

【0022】各行各列を拡大したのを図7に示す。図7は以下の実施例においても同様に使用される。図7(A)は行駆動回路・列駆動回路ともアドレス回路としてシフトレジスタを用いたものである。列駆動回路のシフトレジスタは(701)で示される。シフトレジスタにはクロックパルス(703)が送られ、これによって、順次シフトする信号が出力される。列駆動回路は、このようなシフトレジスタとアナログスイッチ(705)、アナログメモリ(706)によって構成される。ビデオ信号線(713)より供給されたビデオ信号はアナログスイッチ(705)によってサンプリングされ、アナログスイッチ(706)によって、ホールドされる。

【0023】その後、ラッチ信号線(714)によってスイッチ(707)が開閉し、アナログバッファ(708)によって増幅されたビデオ信号が、マトリクス(709)上の列信号線(711)に供給される。図7の例では、マトリクスは能動素子としてトランジスタを用いたアクティブマトリクス方式である。また、列駆動回路のシフトレジスタは(702)で示される。シフトレジスタにはクロックパルス(704)が送られ、これによって、順次シフトする信号が出力される。クロック

パルス(704)は、前述の区ロックパルス(703)とは異なるものが用いられる。これは、行駆動回路の動作周波数が、列駆動回路のものに比較して小さいためである。行駆動回路はこのようなシフトレジスタによって構成される。

【0024】シフトレジスタ(702)より出力された選択信号は、そのままマトリクス(709)上の行信号線(710)に供給される。行信号線(710)は、すなわち画素(712)のトランジスタのゲートに接続しているので、選択信号によって選択された時点で、列信号線に供給されていた映像信号が画素(712)に取り込まれる。(図7(A))

アドレス回路として、特開昭62-265696に開示されるようなデコーダ回路を用いる場合には、図7

(B)で示される回路を、図7(A)のシフトレジスタに置き換えればよい。また、列駆動回路のみを、あるいは行駆動回路のみをデコーダ回路とすることも可能である。(図7(B))

【0025】以上では、アナログスイッチ、アナログメモリーによるアナログ方式を示したが、公知のデジタル方式でも同様にできる。本実施例では、列駆動回路(101)と(104)に接続する列信号線の数は、それぞれ7本であり、全部で14本である。このように列駆動回路を2つとすることにより、画素密度を2倍とすることができた。

【0026】〔実施例2〕 図2に本発明の1実施例を示す。図2(A)は本実施例のブロック図を示す。本実施例は、簡略化のため、6行14列のマトリクス(206)とした。該マトリクスを駆動するために、第1の列駆動回路(201)と第2の列駆動回路(202)が設けられる。本実施例では、いずれの列駆動回路もマトリクスの上に形成した。各列駆動回路は、各信号線に対応した出力回路(203)、(204)を経て、列信号線(213)、(214)に接続される構成となっている。また、行信号線(212)は行駆動回路(205)によって信号が供給される。

【0027】列駆動回路(201)、(202)には、ビデオ信号がビデオ信号線(207)と(208)によって、それぞれ供給され、また、行駆動回路(205)にはクロック信号がクロック信号線(209)によって供給される。図示されていないが、同様なクロック信号は、列駆動回路(201)と(202)にも供給される。また、出力回路(203)、(205)は行信号線のクロック信号と同期したラッチパルス信号によって駆動される。ラッチパルスはラッチ信号線(210)、(211)によって、出力回路に供給される。(図2(A))

【0028】1つの行とその周辺の列に着目した図面を図2(B)もしくは図2(C)に示す。図2(B)は単純マトリクス方式の場合であり、行信号線(212)と

列信号線(213)、(214)の交差により、画素(215)、(216)が形成される。ここで、列信号線(214)は第1の列駆動回路(201)によって、信号が供給されるものの、隣接する列信号線(213)には、第2の列駆動回路(202)によって信号が供給される。(図2(B))

図2(C)は能動素子としてトランジスタを用いたアクティブマトリクス方式のもので、列信号線と列駆動回路の関係は、図2(B)と全く同じである。ただし、画素(215)、(216)はトランジスタと静電容量の複合した回路によって構成される。(図2(C))

【0029】〔実施例3〕 図3に本発明の1実施例を示す。図3(A)は本実施例のブロック図を示す。本実施例は、簡略化のため、11行7列のマトリクス(305)とした。該マトリクスを駆動するために、第1の行駆動回路(303)と第2の行駆動回路(304)が設けられる。本実施例では、第1の行駆動回路(303)はマトリクスの左に、第2の行駆動回路(304)はマトリクスの右に形成された。各行駆動回路から、行信号線(311)、(312)に信号が供給される。また、列信号線(310)には、列駆動回路(301)より、各信号線に対応した出力回路(302)を経て、映像信号が供給される。

【0030】列駆動回路(301)には、ビデオ信号がビデオ信号線(306)によって供給され、また、行駆動回路(303)、(304)にはクロック信号がクロック信号線(307)、(308)によって供給される。クロック信号線(307)と(308)に供給されるクロック信号のタイミングによって、マトリクスを順次走査したり、1行おきに走査したりできる。図示されていないが、同様なクロック信号は、列駆動回路(301)にも供給される。また、出力回路(302)もラッチパルス信号によって駆動される。ラッチパルスはラッチ信号線(309)によって、出力回路に供給される。(図3(A))

【0031】1つの列とその周辺の行に着目した図面を図3(B)もしくは図3(C)に示す。図3(B)は単純マトリクス方式の場合であり、列信号線(310)と行信号線(311)、(312)の交差により、画素(313)、(314)が形成される。ここで、行信号線(312)は第1の行駆動回路(303)によって信号が供給されるものの、隣接する行信号線(311)には、第2の行駆動回路(304)によって信号が供給される。(図3(B))

図3(C)は能動素子としてトランジスタを用いたアクティブマトリクス方式のもので、行信号線と行駆動回路の関係は、図3(B)と全く同じである。ただし、画素(313)、(314)はトランジスタと静電容量の複合した回路によって構成される。(図3(C))

【0032】〔実施例4〕 図4に本発明の1実施例を

示す。図4(A)は本実施例のブロック図を示す。本実施例は、簡略化のため、11行7列のマトリクス(405)とした。該マトリクスを駆動するために、第1の行駆動回路(403)と第2の行駆動回路(404)が設けられる。本実施例では、いずれの行駆動回路もマトリクスの左に形成された。各行駆動回路から、行信号線(411)、(412)に信号が供給される。また、列信号線(410)には、列駆動回路(401)より、各信号線に対応した出力回路(402)を経て、映像信号が供給される。

【0033】列駆動回路(401)には、ビデオ信号がビデオ信号線(406)によって供給され、また、行駆動回路(403)、(404)にはクロック信号がクロック信号線(407)、(408)によって供給される。クロック信号線(407)と(408)に供給されるクロック信号のタイミングによって、マトリクスを順次走査したり、1行おきに走査したりできる。図示されていないが、同様なクロック信号は、列駆動回路(401)にも供給される。また、出力回路(402)もラッチパルス信号によって駆動される。ラッチパルスはラッチ信号線(409)によって、出力回路に供給される。(図4(A))

【0034】1つの列とその周辺の行に着目した図面を図4(B)もしくは図4(C)に示す。図4(B)は単純マトリクス方式の場合であり、列信号線(410)と行信号線(411)、(412)の交差により、画素(413)、(414)が形成される。ここで、行信号線(411)は第1の列駆動回路(403)によって信号が供給されるものの、隣接する行信号線(412)には、第2の列駆動回路(404)によって信号が供給される。(図4(B))

図4(C)は能動素子としてトランジスタを用いたアクティブマトリクス方式のもので、行信号線と行駆動回路の関係は、図4(B)と全く同じである。ただし、画素(413)、(414)はトランジスタと静電容量の複合した回路によって構成される。(図4(C))

【0035】〔実施例5〕図5(A)に本発明の1実施例のブロック図を示す。本実施例は、簡略化のため、8行14列のマトリクス(505)とした。該マトリクスを駆動するために、第1の行駆動回路(502)と第2の行駆動回路(503)が設けられる。本実施例では、第1の行駆動回路(502)はマトリクスの左に、第2の行駆動回路(503)はマトリクスの右に形成された。各行駆動回路からは行信号線に信号が供給される。また、列信号線には、第1の列駆動回路(501)と第2の列駆動回路(504)より、各信号線に対応した出力回路を経て、映像信号が供給される。本実施例では、第1の列駆動回路(501)はマトリクスの上に、第2の列駆動回路(504)はマトリクスの下に形成した。このように、行駆動回路と列駆動回路をそれぞれ2

か所に分散することにより、画素密度を4倍に増大せしめることができた。(図5(A))

【0036】〔実施例6〕図5(B)に本発明の1実施例のブロック図を示す。本実施例は、簡略化のため、8行14列のマトリクス(510)とした。該マトリクスを駆動するために、第1の行駆動回路(508)と第2の行駆動回路(509)が設けられる。本実施例では、第1の行駆動回路(508)はマトリクスの左に、第2の行駆動回路(509)はマトリクスの右に形成された。各行駆動回路からは行信号線に信号が供給される。また、列信号線には、第1の列駆動回路(506)と第2の列駆動回路(507)より、各信号線に対応した出力回路を経て、映像信号が供給される。本実施例では、いずれの列駆動回路ともマトリクスの上に形成した。(図5(B))

【0037】〔実施例7〕図6(A)に本発明の1実施例のブロック図を示す。本実施例は、簡略化のため、8行14列のマトリクス(605)とした。該マトリクスを駆動するために、第1の行駆動回路(602)と第2の行駆動回路(603)が設けられる。本実施例では、いずれの行駆動回路ともマトリクスの左に形成された。各行駆動回路からは行信号線に信号が供給される。また、列信号線には、第1の列駆動回路(601)と第2の列駆動回路(604)より、各信号線に対応した出力回路を経て、映像信号が供給される。本実施例では、第1の列駆動回路(601)はマトリクスの上に、第2の列駆動回路(604)はマトリクスの下に形成した。(図6(A))

【0038】〔実施例8〕図6(B)に本発明の1実施例のブロック図を示す。本実施例は、簡略化のため、8行14列のマトリクス(610)とした。該マトリクスを駆動するために、第1の行駆動回路(608)と第2の行駆動回路(609)が設けられる。本実施例では、いずれの行駆動回路ともマトリクスの左に形成された。各行駆動回路からは行信号線に信号が供給される。また、列信号線には、第1の列駆動回路(606)と第2の列駆動回路(607)より、各信号線に対応した出力回路を経て、映像信号が供給される。本実施例では、いずれの列駆動回路ともマトリクスの上に形成した。(図6(B))

【0039】〔実施例9〕図8(A)に本発明の1実施例のブロック図を示す。本実施例は、簡略化のため、11行27列のマトリクス(806)とした。該マトリクスを駆動するために、第1の行駆動回路(804)と第2の行駆動回路(805)が設けられる。本実施例では、第1の行駆動回路(804)はマトリクスの左に、第2の行駆動回路(805)はマトリクスの右に形成された。各行駆動回路からは行信号線に信号が供給される。また、列信号線には、第1の列駆動回路(801)、第2の列駆動回路(802)、第3の列駆動回路

(803)より、各信号線に対応した出力回路(図示せず)を経て、映像信号が供給される。本実施例では、いずれの列駆動回路ともマトリクスの上に形成した。このような回路において、第1乃至第3の列駆動回路を実質的に同時に(同じタイミングで)駆動し、かつ、各列駆動回路に別々の映像信号を供給すると、列駆動回路の動作周波数を通常の $1/3$ とすることができる。(図8(A))

【0040】〔実施例10〕 図8(B)に本発明の1実施例のブロック図を示す。本実施例は、簡略化のため、11行27列のマトリクス(813)とした。該マトリクスを駆動するために、第1の行駆動回路(809)と第2の行駆動回路(810)が設けられる。本実施例では、第1の行駆動回路(809)はマトリクスの左に、第2の行駆動回路(810)はマトリクスの右に形成された。各行駆動回路からは行信号線に信号が供給される。

【0041】また、列信号線には、第1の列駆動回路(807)、第2の列駆動回路(808)、第3の列駆動回路(811)、第4の列駆動回路(812)より、各信号線に対応した出力回路(図示せず)を経て、映像信号が供給される。本実施例では、第1および第2の列駆動回路(807)、(809)は、マトリクスの上に、第3および第4の列駆動回路(811)、(812)はマトリクスの下に形成した。このような回路において、第1乃至第4の列駆動回路を同じタイミングで駆動し、かつ、各列駆動回路に別々の映像信号を供給すると、列駆動回路の動作周波数を通常の $1/4$ とすることができる。(図8(B))

【0042】〔実施例11〕 図9乃至図12を用いて、本発明を用いたライン反転の方法について説明する。例えば、図9(A)には、ある行の映像信号を示す。このような比較的単調な映像信号をライン反転するには、従来の方式においては、順次シフトする信号を供給する構造であるから、図9(B)に示されるような信号に変換して、a~z列に各信号を順次分配する必要があった。しかしながら、本発明を利用すれば、上記のような煩わしさは省略できる。

【0043】本実施例においては、まず、もとの映像信号を半分に圧縮し(すなわち、映像信号を行の半分のものとし)、さらに、同じ映像信号で極性の逆のものを追加する。(図9(C))

そして、これを特定のポイントでサンプリングすると、図9(D)のようになる。このようにして得られた信号を、例えば、図10(A)で示される構成を有するシフトレジスタによって分配する。図面を簡略化する目的から、図10(A)においては、16列(a~p列)までしか図示していないが、26列(a~z列)でも同様にできる。注目すべきは、第1のシフトレジスタ(SR1)の最終段(o列)の選択信号は第2のシフトレジ

スタ(SR2)の初段(b列)に入力されるようになっていくことである。(図10(A))

【0044】そして、全体の列を通してみると、a、b、c、d、e、...と列が並んでいるが、各シフトレジスタからは、交互に列が接続されている。したがって、このような回路で図9(D)の信号を順次分配して、ある行の各列について信号を並べると、図9(E)のようになる。これは、従来のライン反転の信号と同じである。すなわち、本実施例で明らかになったように、本発明を用いれば、ライン反転動作を簡便におこなえる。

【0045】以上は、シフトレジスタをアドレス回路として用いた場合であったが、デコーダ回路をアドレス回路として用いた場合にも同様にできる。この場合のデコーダ回路としては図10(B)に示されるようなものを用いればよい。図面を簡略化する目的から、図10(B)においては、カウンターの桁数は4つ($2^0 \sim 2^3$ 、4ビットすなわち、16行分)しか表示していないが、26列の表示をするには、さらに1ビット追加すればよいだけで、基本的な概念は同じである。(図10(B))

【0046】そして、各ビット線に図11で示されるような信号を供給すると、まず、第1のデコーダ(DC1)のa、c、e、g、i、k、m、oというように、順次各列に信号を出力した後、第2のデコーダ(DC2)に移り、b、d、f、h、j、l、n、pというように、順次各列に信号を出力する。すなわち、図10(A)の2つのシフトレジスタ、SR1とSR2でおこなったのと同じ動作がおこなわれる。

【0047】以上の動作においては、2つのデコーダ、DC1とDC2は分離しているものの、1つのカウンター回路(Counter)によって駆動される異なる回路であり、このような回路に1つのビデオ信号をビデオコントローラ(VideoCTR)より供給することによって、マトリクス(Matrix)において、ライン反転をおこなうという特徴を有する。このような特徴は、図12にまとめられる。(図12)

【0048】

【発明の効果】本発明の効果は、作用の項でまとめられている。すなわち、

- (1) 画素の大規模化、集積化の効果がある。
- (2) インターレース方式の表示ができる。
- (3) ライン反転が容易である。
- (4) 列駆動回路の動作周波数を低減できる。

である。このような効果を有する本発明は特許されるにふさわしい価値を有するものと信じる。

【図面の簡単な説明】

【図1】 実施例1の回路ブロック図等

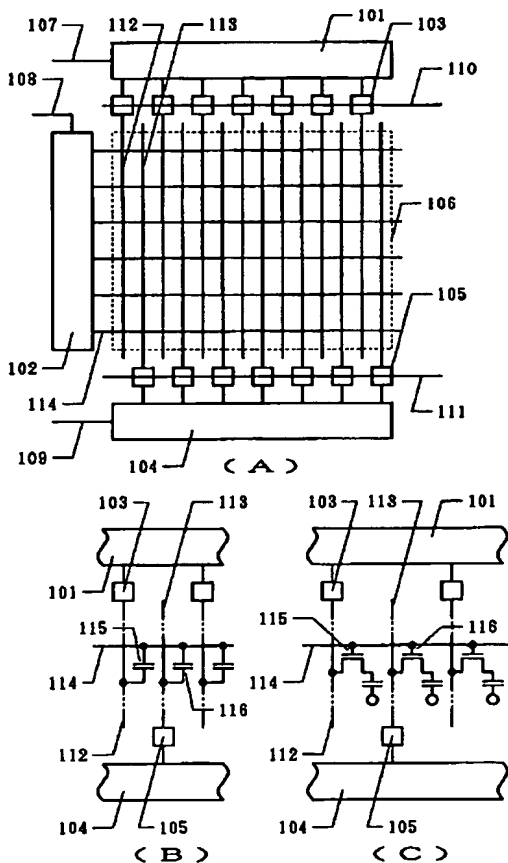
【図2】 実施例2の回路ブロック図等

【図3】 実施例3の回路ブロック図等

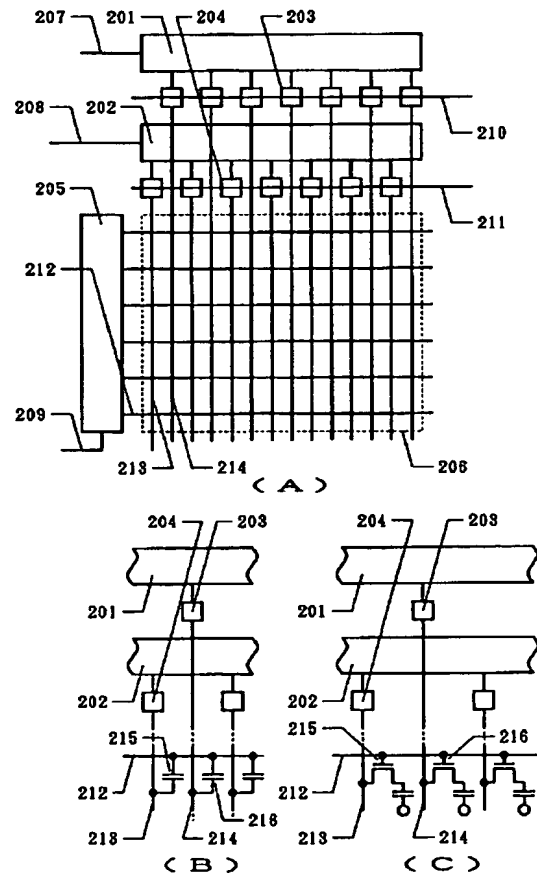
- 【図4】 実施例4の回路ブロック図等
 【図5】 実施例5および実施例6の回路ブロック図
 【図6】 実施例7および実施例8の回路ブロック図
 【図7】 実施例1他のアクティブマトリクス方式の回路図等
 【図8】 実施例9および実施例10の回路ブロック図
 【図9】 実施例11のライン反転の信号を得る方法を説明する図
 【図10】 実施例11のアドレス回路の例
 【図11】 実施例11のアドレス回路としてデコーダ回路を用いた場合の信号
 【図12】 実施例11のアドレス回路としてデコーダ回路を用いた場合の回路ブロック図
 【符号の説明】
 101 第1の列駆動回路

- * 102 行駆動回路
 103 出力回路
 104 第2の列駆動回路
 105 出力回路
 106 マトリクス
 107 映像信号線
 108 クロック信号線
 109 映像信号線
 110 ラッチ信号線
 111 ラッチ信号線
 112 列信号線
 113 列信号線
 114 行信号線
 115 画素
 * 116 画素

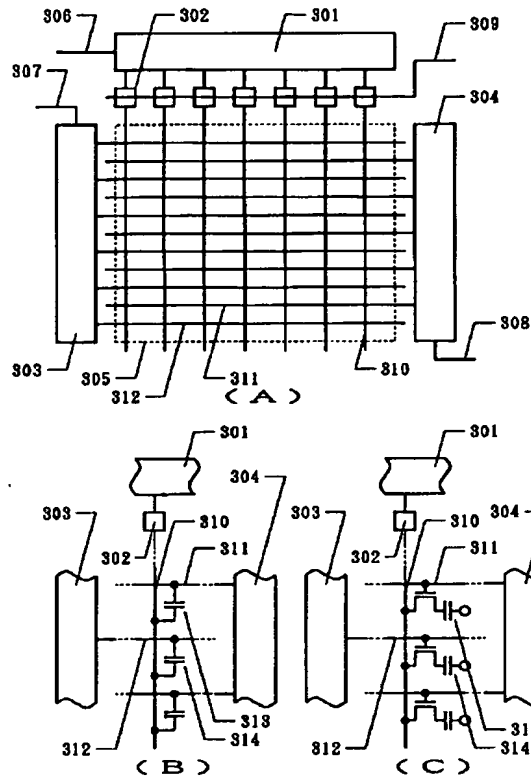
【図1】



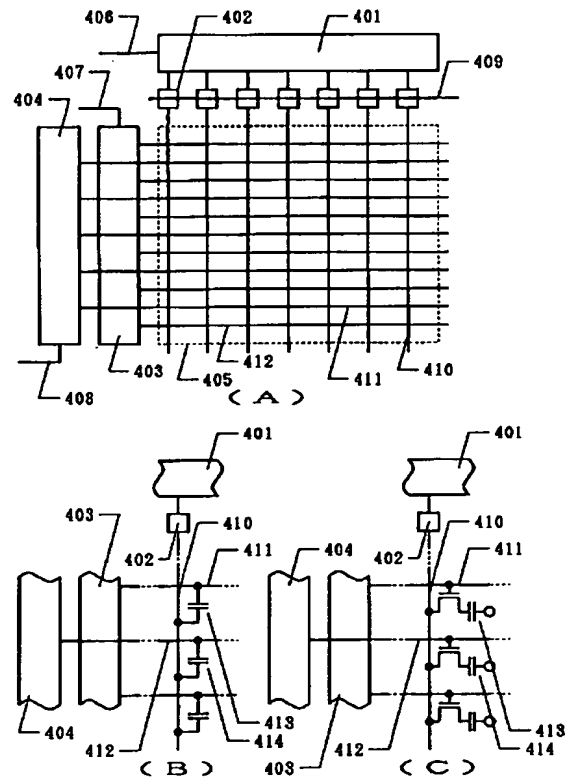
【図2】



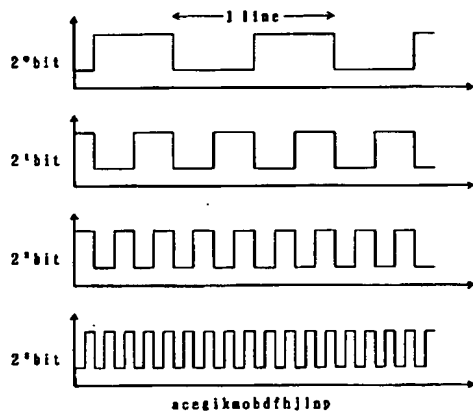
【図3】



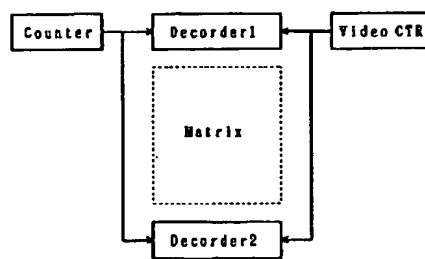
【図4】



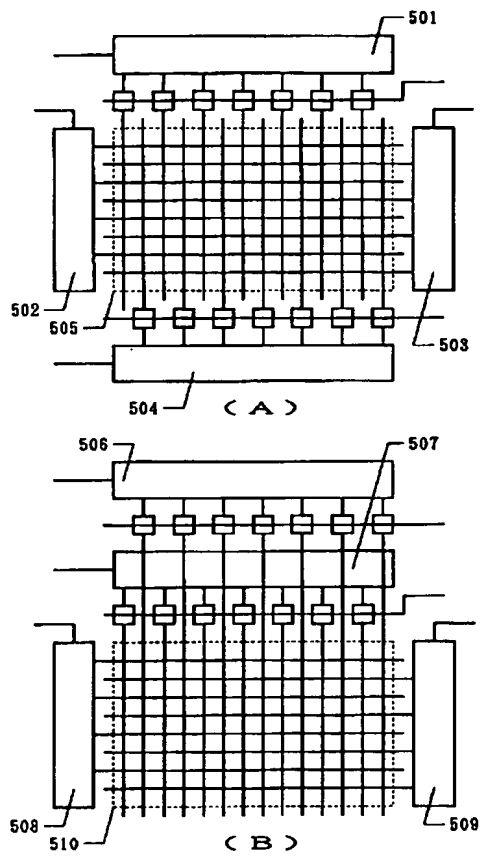
【図11】



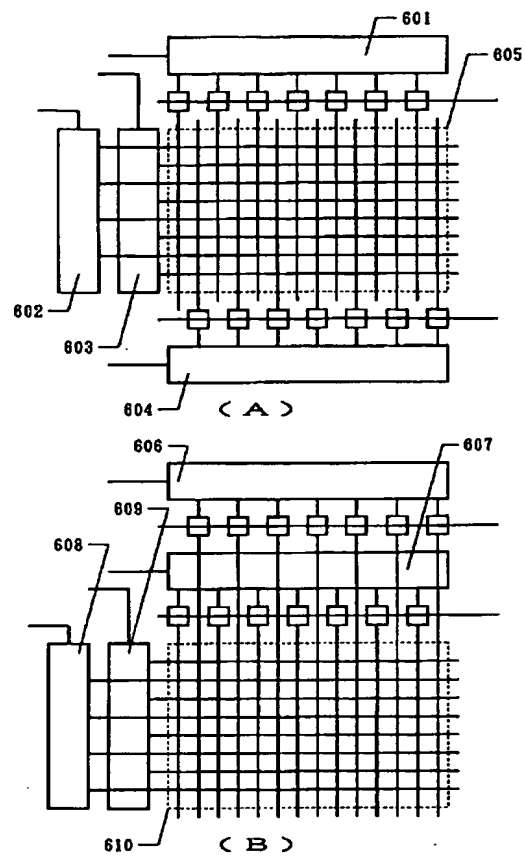
【図12】



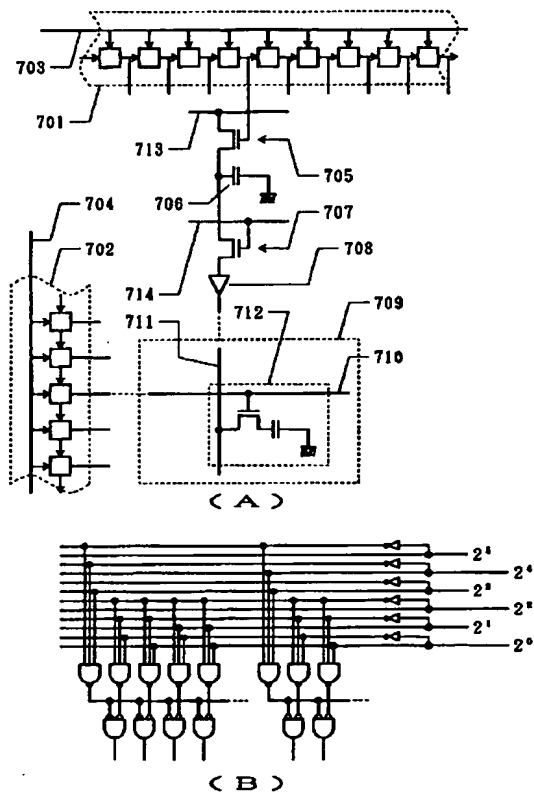
【図5】



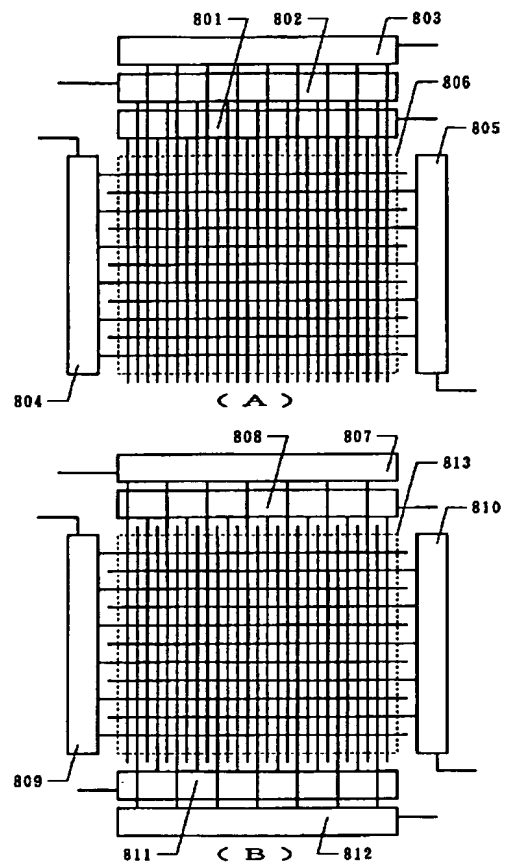
【図6】



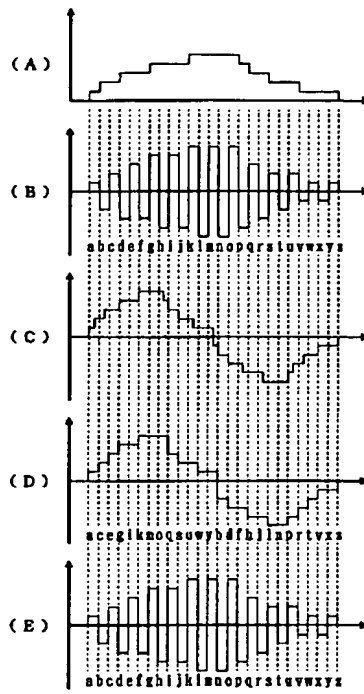
【図7】



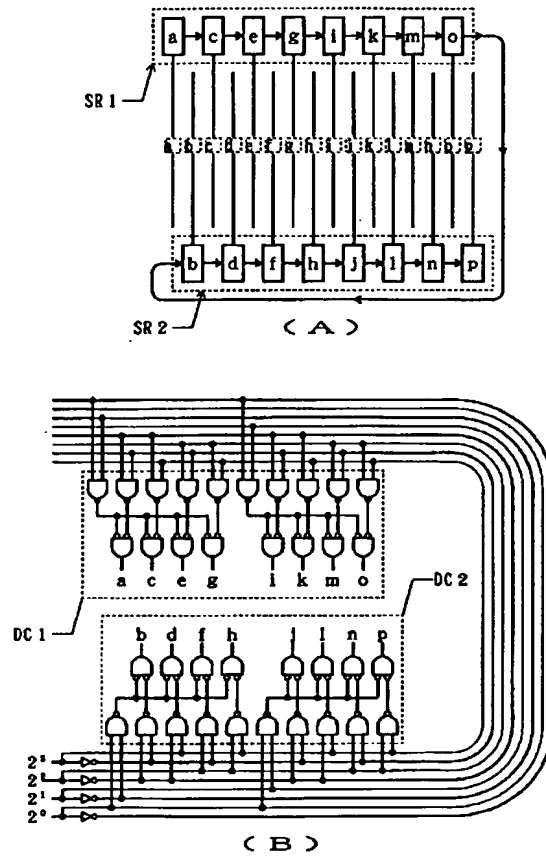
【図8】



【図9】



【図10】



【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第6部門第2区分
 【発行日】平成15年3月12日(2003.3.12)

【公開番号】特開平9-152574
 【公開日】平成9年6月10日(1997.6.10)
 【年通号数】公開特許公報9-1526
 【出願番号】特願平7-336054
 【国際特許分類第7版】

G02F 1/133 550
 545

G09G 3/36

【F I】

G02F 1/133 550
 545

G09G 3/36

【手続補正書】

【提出日】平成14年11月29日(2002.11.29)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】複数の画素がマトリクス状に配置された表示装置において、
列信号線に信号を供給する第1の列駆動回路と、前記第1の列駆動回路と並列に配置されている第2の列駆動回路とを有し、
前記第1の列駆動回路は、奇数列の前記列信号線と接続され、
前記第2の列駆動回路は、偶数列の前記列信号線と接続され、

もとの映像信号を半分に圧縮した第1の信号を前記奇数列の前記列信号線にし、前記第1の信号を反転させた信号を前記偶数列の前記列信号線にすることを特徴とする表示装置。

【請求項2】請求項1において、前記第1の列駆動回路と前記第2の列駆動回路は、シフトレジスタ回路をアドレス回路として用いることを特徴とする表示装置。

【請求項3】請求項2において、前記第1の列駆動回路の最終段より出力された選択信号が、前記第2の列駆動回路の初段にされることを特徴とする表示装置。

【請求項4】請求項1において、前記第1の列駆動回路と前記第2の列駆動回路は、デコーダ回路をアドレス回路として用いることを特徴とする表示装置。

【請求項5】請求項4において、前記第1の列駆動回路と前記第2の列駆動回路は、同じカウンタ回路により制御されることを特徴とする表示装置。